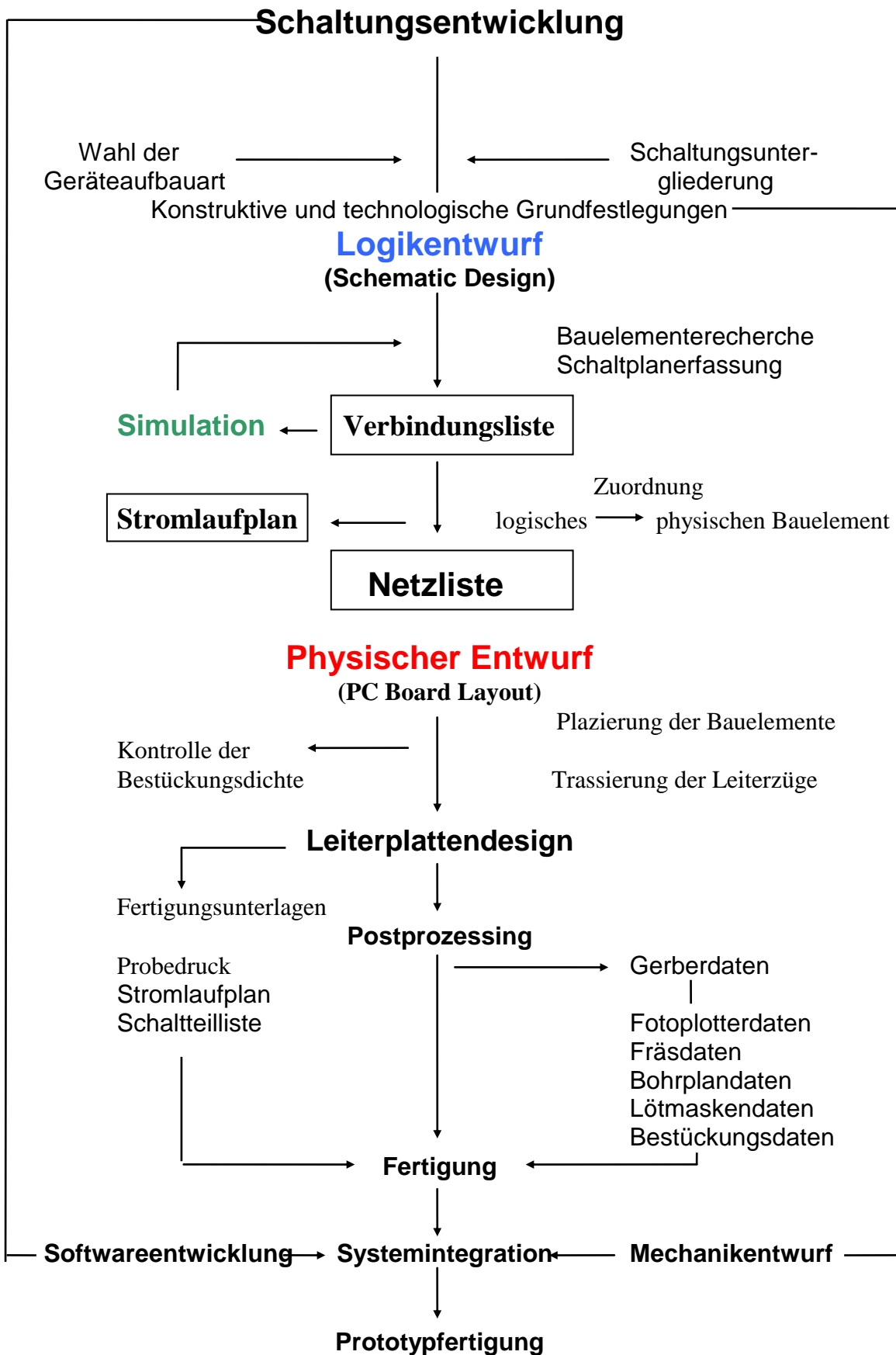


Kapitel 1 Rechnergestützter Leiterplattenentwurf -Einführung

Inhalt:

- 1.1. Ablauf eines rechnergestützten Leiterplattenentwurfs
- 1.2. Einflußgrößen auf den Leiterplattenentwurf
- 1.3. Logikentwurf
- 1.4. Erstellen einer Netzliste
- 1.5. Platzieren
- 1.6. Entflechten
- 1.7. Systemvergleich

1.1. Ablauf einer rechnergestützten Leiterplattenentwicklung



1.2. Einflußgrößen auf den Leiterplattenentwurf

Folgende Einflußgrößen sind **vor** der Leiterplattenkonstruktion zu ermitteln:

- **Gehäusekonzept**
 - Gehäusesystem (z.B. 19“ Gehäuse)
 - Konstruktion eines speziellen Gehäuses
- **Systemarchitektur**
 - Aufteilung der Schaltung unter Berücksichtigung der Anschlußminimierung
 - LP-Größe und / oder Form vorgegeben
- **Prüfung**
 - automatische Prüfung mittels Prüfstifte
 - Software - Prüfung
 - Sichtprüfung
- **Fertigung**
 - Chemisch (Additiv oder Subtraktiv)
 - Fräsen
 - Multiwireverfahren
- **Einsatzbedingungen**
 - Umgebungstemperatur und deren Schwankungen
 - Luftfeuchte
 - Insekten
 - Schimmelpilze
 - Luftschadstoffe
- **Elektrische Randbedingungen**
 - Wellenwiderstand Z
 - Störstrahlung EMV
 - Leistung auf der LP
- **Ökonomische Kennziffern**
 - Stückzahl
- **Service**
 - Berücksichtigung der Ausfallwahrscheinlichkeit
 - Einsatz eines geeigneten Verbindungskonzeptes
 - Garantiebedingungen

1.3. Logikentwurf

Zu Beginn des Logikentwurfs müssen

- die zu verwendenden (logischen) Bauelemente und
- die Verbindungsstruktur bekannt sein.

Die Vorgehensweise beinhaltet folgende Schritte:

Schaltzeichen anordnen



← neue Schaltzeichen erstellen

Verbindungen zeichnen / Labels setzen



Knotenpunkte setzen



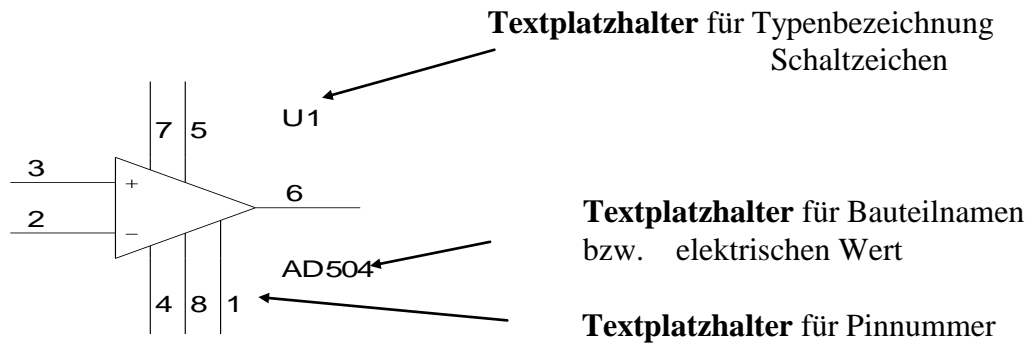
Zuweisung der Gehäuseinformationen

Das logische Schaltzeichen wird zunächst in einer Kommandozeile aufgerufen oder in einer Liste ausgewählt.

Falls es nicht in einer der zur Verfügung stehenden Bibliotheken vorhanden ist, muß es in einem Bibliothekseditor erstellt werden.

Schaltzeichen sind Symbole, die elektrische Funktion wiedergeben. Im Unterschied zu CAD-Systemen beinhalten Symbole in CAE-Systemen eine Semantik.

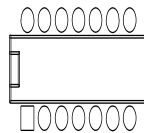
Über die zeichnerische Darstellung hinaus sind zusätzliche Informationen enthalten:



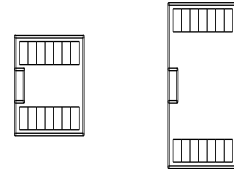
Das Zeichnen der Verbindungen bzw. Labelsetzen ist ausschließlich als graphisches Hilfsmittel zu verstehen, bestimmte Pins der Bauelemente das gleiche Netz, d.h. ein gleiches Potential, zuzuordnen. Der Unterschied zwischen Verbindungslinie und Label ist für die Netzliste lediglich, daß dadurch der Namen des Netzes festgelegt wird.

Zuordnung zwischen logischer Funktion und technischer Ausführung des Gehäuses

BEISPIELE

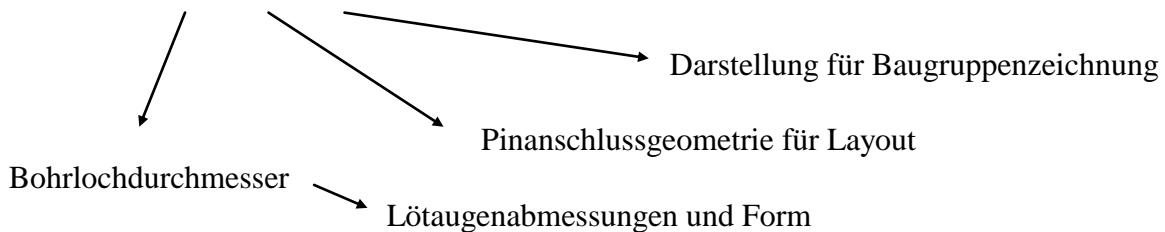


14DIP300



14SOP150 14SOP300

Geometrische Abmessungen des Gehäuses



Daten zur Berechnung der **Wärmeabführung**

Querverweise zu Bibliotheken, die **Simulation** unterstützen

Stücklistendaten

laufende Nummer

Kurzzeichen

Value

z.B. Gehäusetyp

Suchnummer der
Lagerwirtschaft

IfNr	KZ	Benennung	Bemerkung	Sachnummer
01	U1	74LS04	14SOP300	SMD U 19-614
02	R1	1K6	RC05	Ra 25
03	C1	10 μ F	CK06	
04	J1	SV- 25	db 25 F	SV DB 25

Beispiel einer Schaltteilliste

Softwarepakete enthalten Symboldateien (ca. 5000 verwaltete Schaltzeichen). Erstellt ein Anwender ein neues Symbol, muß die gleiche Semantik verwendet werden.

Ein Symbol erstellen bedeutet eine Datenbank anzulegen!

Nach erfolgreichen Aufruf bzw. Erstellung des Schaltzeichens erfolgt die **Platzierung** auf dem Stromlaufplan . Die Anordnung erfolgt ausschließlich nach zeichnerischen Gesichtspunkten.

Gleichzeitig werden die Schaltzeichen durchnummeriert (Schaltkurzzeichen + laufende Nummer z.B. R1, R2, C1, C2, U1, U2...).

Bei einigen Programmen geschieht dies mittels eines gesonderten Programmteils.

Abschließend werden die Verbindungen gezeichnet (Einzelverbindung oder Bus mit Anbindungen) und die Knotenpunkte gesetzt.

Das Ergebnis des Logikentwurfs ist zunächst der Stromlaufplan.

1.4. Erstellen einer Netzliste

Im weiteren Verlauf der Leiterplattenkonstruktion dient der im Logikentwurf erstellte Stromlaufplan lediglich der Veranschaulichung der Funktion der Schaltung. Seine Informationen (sichtbare und versteckte) werden in Form einer Netzliste weitergegeben. Dazu wird zunächst dem logischen Schaltelement ein Gehäuse (mit allen seinen Anschlußbedingungen) zugeordnet. Dies geschieht in der Regel über einen Editiermodus oder einer Zuordnungsdatei. Andere Programme (z.B Eagle) bieten gleich bei der Schaltzeichenauswahl eine Bauelementeauswahl mit an, d.h. es wird nicht schlechthin "R" für Widerstand sondern R12.5x0.25" für einen 1/4 W Widerstand im Raster von 12,5mm in liegender Bauform ausgewählt.

Die Netzliste wird dann über den Aufruf eines speziellen Programmteils erstellt.

Dabei sind unterschiedliche Formate möglich.

Netzliste einer 8-bit - Anzeige im EDIF - Format (Auszug)

(edif &BELEG_1

(edifVersion 2 0 0)

(program "IFORM.EXE")

(comment "Original data from OrCAD/SDT schematic"))

(comment "8 bit Anzeige")

(comment " November 15, 1995")

(comment "Beleg 1")

(comment "FH Jena FB Elektrotechnik")

(cell &R

(cellType generic)

(comment "From OrCAD library DEVICE.LIB")

(view NetlistView

(port &2 (direction INOUT))))))

(cellRef &R

(libraryRef OrCAD_LIB)))

(property PartValue (string "470"))

(property ModuleValue (string "PRC06"))

(property TimeStampValue (string "30E988DB"))

(property Field1Value (string "PRC06"))

(property Field2Value (string ""))

(property Field3Value (string ""))

(property Field4Value (string ""))

(property Field5Value (string ""))

(property Field6Value (string ""))

(property Field7Value (string ""))

(property Field8Value (string ""))

(net N00003

(joined

(portRef &2 (instanceRef &R1))

(portRef &C (instanceRef &D1))))

(net N00004 ← Netznamen durch System festgelegt

(joined

(portRef &4 (instanceRef &U1))

(portRef &2 (instanceRef &P1))))

(net &GND ← Netznamen durch Anwender festgelegt

(joined

(portRef &14 (instanceRef &P1))

(portRef &10 (instanceRef &U1))))))

(design &BELEG_1

Kommentarteil

**Liste der logischen
Bauelemente**

**Auflistung der
Eigenschaften (Gehäuse,
Simulation...)**

Verbindungsliste

1.5. Plazieren

Nach dem Laden der Netzliste werden die Bauelemente ungeordnet in einem zuvor definierten Bereich abgelegt. Es besteht nun die Aufgabe, die Bauelemente entsprechend den konstruktiven und technologischen Forderungen anzuordnen. Dies erfolgt auf einer bereits festgelegten Leiterplattenfläche oder mit dem Ziel der Flächenminimierung. Die Anordnung selbst erfolgt interaktiv oder im Autoplacement - Verfahren.

Bei der graphisch interaktiven Methode werden die Verbindungen entsprechend der Netzwerkbeschreibung als Linien dargestellt. Beim Umlazieren eines Bauelements werden diese Verbindungslinien wie Gummibänder ("Gummibandmethode") nachgeführt.

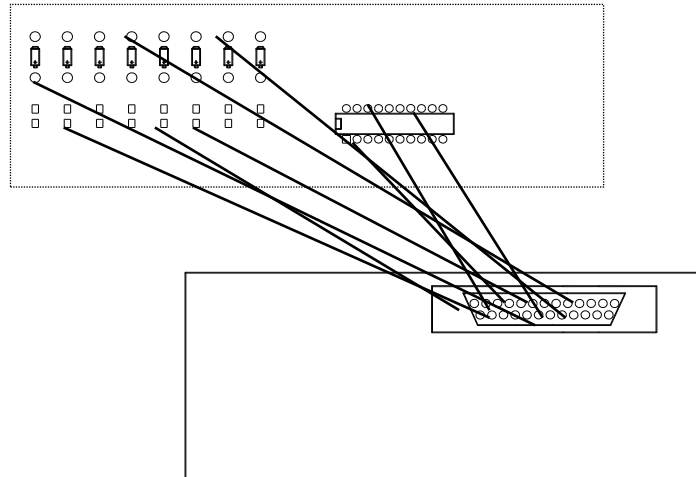
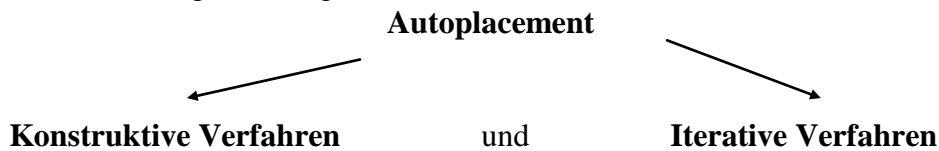


Bild 1.5. __1

Autoplacement - Verfahren sind in vielfältiger Form am Markt.
Sie können in 2 Kategorien eingeteilt werden:



Konstruktive Verfahren

Der Rechner übernimmt die Platzierung nach vorgegebenen Parametern unter Berücksichtigung von Optimierungskriterien.

Parameter zur Steuerung der Platzierung können sein:

- Grobraster für IC-Platzierung
- Lage und Anzahl von Stützkapazitäten
- maximale Leiterlängen

Optimierungskriterien können sein:

- gleichmäßige, thermische Verteilung der Bauelemente
- Minimierung der Leiterlänge

Iterative Verfahren

Ausgangspunkt ist eine Anfangsplatzierung die automatisch oder manuell erzeugt wurde (Lage von Steckverbindern, B/A - Elemente).

Diese Anfangsplatzierung wird durch Vertauschen optimiert. Durch die Eingabe von Steuerparametern kann in die automatisch ablaufenden Optimierungsschritte eingegriffen werden. Es müssen Abbruchkriterien definiert werden.

1.6. Entflechten

Das Ziel der Entflechtung ist es, die Bauelementeanschlüsse entsprechend Netzplan durch kreuzungsfreie Leiter zu verbinden.

Als Entflechtungsverfahren kommt die graphisch interaktive Methode oder s.g. Autorouting in Anwendung.

graphisch interaktives Verfahren

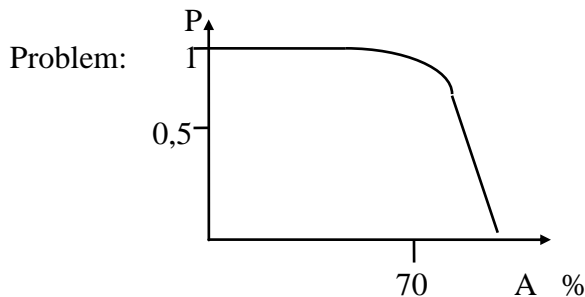
- Ausgangspunkt: abgeschlossene Bauteilplatzierung
- Eingabe von Bauteilspezifikationen wie:
 - Leiterplattengröße
 - Eigenschaften der Leiterplattenlagen

- Sperrflächenspezifizierung
- Graphikerstellung wird je nach Komfort des Systems durch mehrere Hilfsfunktionen unterstützt:
 - Messen von Abständen
 - Messen von Winkeln
 - Einblendung eines beweglichen Meßkreuzes
 - Sperrflächenkennzeichnung
 - graphische Suchfunktionen

Autorouting Verfahren

Forderungen:

- 100% Entflechtung
- Einsatzmöglichkeit bei allen Leiterplattenformen und Bestückungen (diskrete BE, IC, SMD, Mischformen)
- Verarbeitung unterschiedlicher Leiterbahnbreiten, Lötungenformen und Abmessungen, Durchkontaktierungen
- Berücksichtigung verschiedener Sicherheitsabstände und Technologien mit entsprechenden Entwurfsregeln



P... Wahrscheinlichkeit, mit der ein
Leiterzug verlegt werden kann
A... belegte LP-Fläche in %

Verfahren:

- Entflechtungsverfahren nach **Hightower** (Line - Probe - Router)
- Entflechtungsverfahren nach **Lee** (Maze Run Router)
- Kanalentflechtungsverfahren (Cannel Router)
- Leiterformenauswahlverfahren (Pattern Router)
- Graphentheoretische Entflechtungsverfahren (Bsp. blood hund, SPECCTRA)

1.7. Systemvergleich

In der nachfolgenden Tabelle ist eine Auswahl von gebräuchlichen CAE Systemen gegenübergestellt.

Systembezeichnung	PADS 2000	OrCAD	AutoPack	Cadstar	top-CAD	Unicad	CaDdy
Anbieter	CAD Software Inc.	OrCAD Corp.	Gräbert	Zuken Redac	Spea Softw. AG	Sycrotronic	Ziegler Instrum
Analogsimulation	ja	nein	nein	ja	ja	nein	nein
Digitalsimulation	ja	ja	ja	ja	ja	ja	ja
Thermoanalyse	ja	nein	nein	nein	nein	ja	nein
Auflösung	1/1000mm	1/1000 ^{''}	1/1000 ^{''}	1/1000 ^{''}	1/80 ^{''}	1/100 ^{''}	1/80 ^{''}
Routing algorithm.	Lee, Graph, Spectra	Lee, Graph Spectra	Lee, Graph	blood hunt	Bartels	Bartels	Line-screen
Abst. test	ja	ja	ja	ja	ja	ja	ja
interaktiv Gummib.	ja	ja	ja	ja	ja	ja	ja
Ebenen	32	16	32	16	16	16	16
Autoplace	ja	nein	nein	ja	nein	nein	nein
Bibliothek Symbole	6000	8000	5000	5000	1200	800	1900
PIN/Gate Swaping	ja	ja	ja	ja	ja	nein	ja
Leiterzugformen	45°,90° beliebig	45°,90°	45°,90° beliebig	45°,90°	45°,90° beliebig	45° 90°	45°,90° beliebig
SMD	ja	ja	ja	ja	ja	nein	ja
Lötmaske	ja	ja	ja	ja	ja	ja	ja
Gerber	ja	ja	ja	ja	ja	ja	ja
Bibliotheks-erweiterung	ja	ja	ja	ja	ja	ja	ja
Window	ja	ja	ja	ja	ja	ja	nein
Onlinehilfe	ja	ja	ja	ja	ja	nein	ja
Tablett	nein	nein	ja	nein	nein	nein	ja
Schnittstellen	DXF, EDIF	DXF, EDIF IGES 16Form	DXF	OrCad DXF, EDIF	DXF, EDIF	OrCad DXF, EDIF	OrCad DXF, EDIF
Preis[TM]	35	15	40	42,5	50	60	30

Systembezeichnung	Eagle	Elcad	UltriBoard	P-CAD	Protel
Anbieter				CADAM	Micro Sim
Analogsimulation	nein	nein	nein	nein	ja
Digitalsimulation	nein	nein	nein	ja	ja
Thermoanalyse	nein	nein	nein	ja	ja
Auflösung	1/1000mm	1/1000“	1/1000“	1/1000“	1/1000“
Routingalgorithm	Lee,	Graph	Lee,Graph Spectra	keine Angaben	keine Angaben
Abstandstest	ja	ja	ja	ja	ja
interaktiv Gummib.	ja	ja	ja	ja	ja
Ebenen	32	16	32	16	beliebig
Autoplace	ja	nein	nein	nein	ja
Bibliothek Symbole	500	200	5000	6000	6000
PIN/Gate Swaping	nein	nein	ja	ja	ja
Leiterzugformen	45°,90° beliebig	45°,90°	45°,90° beliebig	45°,90°	45°,90° beliebig
SMD	ja	ja	ja	nein	ja
Lötmaske	ja	nein	ja	ja	ja
Gerber	ja	ja	ja	ja	ja
Bibliotheks-erweiterung	ja	ja OrCadbibl.	ja	ja	ja
Window	ja	ja	ja	nein	ja
Online-hilfe	ja	ja	ja	nein	ja
Tablett	nein	nein	nein	nein	nein
Schnittstellen	DXF, EDIF OrCad	DXF, OrCad	DXF, OrCad	EDIF,DXF	EDIF,DXF
Preis[TM]	0,6	0,8	4,5	15	3,9